

HSMtec – moderne Leiterplattentechnologien für Hochstrombelastung und Entwärmung

Bericht von einer Vortragsveranstaltung der Firma Häusermann GmbH am 16. Juni 2010 in Mönchengladbach

Am 16. Juni 2010 lud der österreichische Leiterplattenhersteller Häusermann GmbH Kunden des Hauses und Interessierte zu einer halbtägigen Vortragsveranstaltung in die Seminarräume der R&D Elektronik in Mönchengladbach ein. In zwei informativen Beiträgen erläuterten die kompetenten Referenten den Technologie-Vorsprung des Unternehmens in der Herstellung hochstromtragfähiger Leiterplatten mit optimierten Entwärmungseigenschaften.

Einführend stellte Geschäftsführer Detlev Gunia das Unternehmen R&D Elektronik kurz vor, das seine Seminarräume für die Veranstaltung zur Verfügung stellte. Gegründet 2007, wird das Unternehmen heute von seinen Kunden vornehmlich als regionaler Bestückungsdienstleister wahrgenommen. Das breite Dienstleistungsangebot beinhaltet die Elektronikentwicklung, Materialbeschaffung, Baugruppenfertigung, Gerätemontage, den Versand und – auf Kundenwunsch – gegebenenfalls auch die Exportabwicklung. Das Qualitätsmanagementsystem sichert die Qualität nach DIN EN ISO 9001:2008, die Elektronikfertigung ist neuerdings zudem UL-zertifiziert. Bekannt ist R&D Elektronik als Ausrichter des jährlichen herstellerunabhängigen Symposiums *Best of Processing*, einer Ausstellung und Vortragsreihe zahlreicher, überwiegend lokaler Unternehmen, die sich in den R&D-Räumlichkeiten im Dezember 2010 wieder gemeinsam ihren Kunden präsentieren werden.



Das Häusermann-Team (von links): Moderator Harald Steininger mit den Referenten Mario Berger und Johann Hackl sowie Vertriebsingenieur Thomas Plum

Harald Steininger, seines Zeichens Vertriebsleiter und Moderator der Veranstaltung, informierte die gut 50-köpfige Zuhörerschaft anschließend über die Häusermann GmbH. Häusermann ist ein Leiterplattenhersteller mit Sitz in Gars am Kamp in Österreich. Aus den historischen Anfängen in der Schilderfertigung und späteren Fertigung chemischer Produkte entwickelte sich alsbald das heutige Unternehmen mit den Schwerpunkten Leiterplatten und Folien-tastaturen, wobei letztere ausschließlich als Handelsware vertrieben werden.

In der Leiterplattenproduktion liegt der Schwerpunkt auf Klein- und mittlere Serien. Die aktuelle Leistungsfähigkeit liegt bei 70 000 m² Leiterplattenfläche und 15 000 Aufträgen pro Jahr. Mit derzeit 180 Mitarbeitern wurde in 2009 ein Umsatz von 18,3 Mio. € erwirtschaftet. 64 % seiner Produkte liefert Häusermann in den österreichischen Markt, weitere 32 % des Umsatzes werden in Deutschland abgesetzt. 71 % der Produkte sind Multilayerkarten ab vier Lagen, weniger zweiseitige durchkontaktierte Platinen (20 %) oder Starrflexschaltungen (5 %). Die meisten Leiterplatten werden in der Industrie- (73 %) oder Unterhaltungselektronik (21 %) eingesetzt.

Designregeln für komplexe Leiterplatten

Über *Konstruktions- und Designregeln für komplexe Leiterplatten* referierte im ersten Fachvortrag Mario Berger, Anwendungsentwickler im *Competence-Center HSMtec* bei Häusermann. Treibende Entwicklungskraft im Bereich Leiterplattentechnologie sind die immer weiter steigenden IO-Zahlen und immer kleiner werdenden Pitches (Rastermaße) von digitalen integrierten Schaltungen. Typische Anforderungen an den Leiterplattenhersteller sind:

- Automatisches Handling in der Leiterplattenproduktion mit Dicken von 0,8 mm bis 2,6 mm

- Aspect-Ratio (Verhältnis Durchmesser zu Länge eines DK-Loches) von 1:8 bis 1:10
- Dickere Leiterplatte ergibt (für eine sichere Lochabscheidung) dickere Kupferschichten auf den Lagen ($> 50 \mu\text{m}$ anstatt $35 \mu\text{m}$)
- Typische Leiterbildstrukturen von $\geq 75 \mu\text{m}$ auf $18 \mu\text{m}$ Basiskupfer und ebensolche Minimalabstände

BGA-Designregeln

In den Innenlagen sollte ein Clearance-Wert (Abstand der Kupferhülse in der DK-Bohrung zum Innenlagenkupfer) von typisch $0,3 \text{ mm}$ eingehalten werden. Begründet wird dieser Wert durch eine fertigungstechnische Toleranzbetrachtung von Bohr- und Leiterbildposition. Damit ist die Grenze bei BGA mit $0,8 \text{ mm}$ -Raster, Leiterbreite $100 \mu\text{m}$ und Lochdurchmesser $0,25 \text{ mm}$ schnell erreicht. Bei BGA-Landepads von $0,4 \text{ mm}$ zwischen den minimierten DK-Vias von $0,57 \text{ mm}$ besteht keine Möglichkeit zur Durchführung von $100 \mu\text{m}$ Leiterbahnen auf der Außenlage mit $35 \mu\text{m}$ Kupfer. Auf den Innenlagen wird dann mit $80 \mu\text{m}$ Leitern auf $18 \mu\text{m}$ Kupfer gearbeitet.

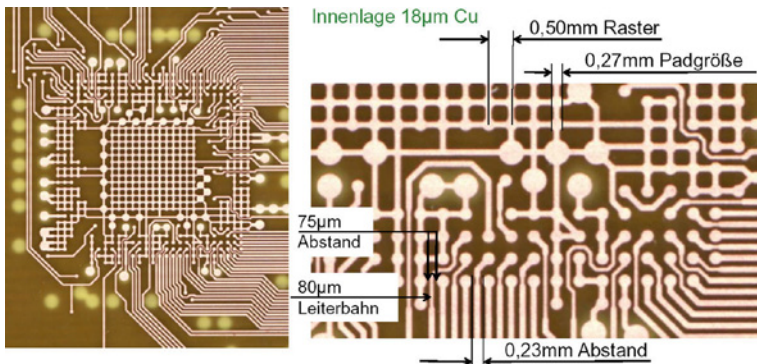
Technologisch noch grenzwertiger ist die Anbindung der flächigen Kontaktierung von BGA im $0,5 \text{ mm}$ Raster. $0,35 \text{ mm}$ -Landepads auf der Außenlage werden in den Innenlagen auf $0,27 \text{ mm}$ Durchmesser reduziert. Im Abstand von $0,23 \text{ mm}$ lassen sich dann $80 \mu\text{m}$ Leiter mit zweimaligen $75 \mu\text{m}$ Abstand zu den Hülsen realisieren. Diese engen Abstandswerte sollten aber nur lokal an den BGA-Durchkontaktierungen eingestellt werden.

Für das Lötstopdesign bei chemischen Oberflächen rät *Berger* Vias nicht mit Lötstopplack abzudecken wegen der prozessbedingten Chemiever schleppung in den Lochhül sen. Stattdessen wird das Freistellen der Löcher mit Enddurchmesser oder das Pluggen der Bohrungen empfohlen. Beim Pluggen werden die durchkontaktierten Bohrungen verfüllt, plangeschliffen und nochmals mit einer Kupferschicht abgedeckt und am Restring angebunden. Das Pluggen wird jedoch von Häusermann aus wirtschaftlichen Gründen nicht angeboten.

Einfluss auf die Leiterbahnimpedanzen haben das Basismaterial, die Leiterbahngeometrien, die Kupferhöhe sowie die Dicke und Eigenschaften des Lötstopplackes. Typische Impedanzen sind 50Ω bis 70Ω bei Single-ended-Strukturen und 90Ω bis 110Ω bei differentiellen Strukturen. Fertigungstoleranzen verursachen eine typische Impedanztoleranz von $\pm 10 \%$ in der Praxis.

Kostenfaktoren

Interessant auch die Ausführungen *Bergers* zu den Kostenfaktoren bei Leiterplatten: Die Kosten einer zweiseitigen Euroformat-Leiterplatte mit Standard-FR4 und 400 Bohrungen steigen beispielsweise um 15% , wenn die Bohrungszahl auf 1000 steigt, und um 10% bei Verwendung eines FR4-Materials mit erhöhtem T_g . Eine partielle galvanische Ni/Au-Oberfläche verteuert die Leiterplatte um 73% , während ein 4-lagiger Multilayer um 50% teurer als die zweiseitige Leiterplatte ist. Eine Lagenzahlerhöhung von 4 auf 8 Lagen verursacht 37% Mehrkosten, eine



Innenlage eines $0,5 \text{ mm}$ -BGA-Designs mit minimierten, aber noch kontrollierbaren Leiterstrukturen

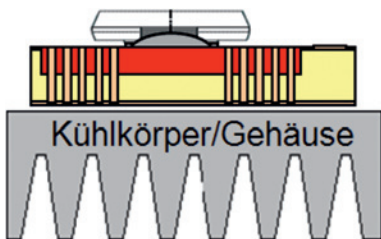
Verdopplung der Bohrungszahl fällt beim Multilayer dagegen nicht mehr so stark ins Gewicht (9 % höhere Kosten) wie bei der Standardplatine mit zwei Kupferlagen. Deutlich höhere Mehrkosten entstehen bei der Verwendung von Sacklöchern und Microvias in HDI-Multilayern.

Mit detaillierten Ausführungen zur Qualität von Lay-outdaten beendete *Berger* seinen sehr interessanten Vortrag. Zusammengefasst sind die Designregeln für komplexe Leiterplatten im *Technologieführer Version 3.0* (<http://www.haeusermann.at/3,support/8,Download/22>).

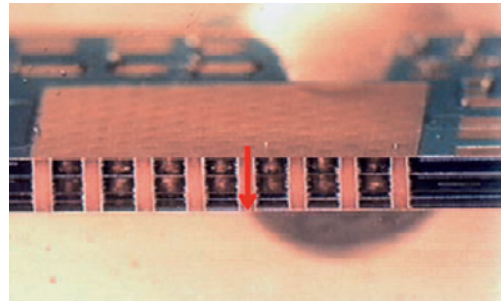
Stromtragfähigkeit und Entwärmungskonzepte

Zum Thema *Hohe Ströme auf Leiterplatten – Entwärmung und Technologie in der Praxis* informierte *Johann Hackl*, ebenfalls *HSMtec*-Anwendungsentwickler bei *Häusermann*, im zweiten Vortrag des Tages. Moderne Leistungselektronik benutzt moderne Komponenten wie Hochleistungs-LED, MOSFET und IGBT, die nach neuen innovativen Leiterplattentechnologien verlangen. Die Ausfallursachen elektronischer Systeme sind, gewichtet nach der Ursachenhäufigkeit, die Temperatur, Vibrationen und Feuchtigkeit. Eine Herausforderung an das Leiterplattendesign ist die Umsetzung eines ausreichenden Wärmetransportes durch Wärmeableitung. Einführend erläuterte *Hackl* die Grundlagen der Wärmeleitung mittels Fourierschen Gesetz und Widerstandsberechnung. So ist der Wärmeleitwert von FR4 10mal besser als von stehender Luft, von Kupfer sogar 1000mal besser als von FR4.

Auf einer Fläche von 10 mm x 10 mm können mehr als 400 DK-Bohrungen mit einem Durchmesser von 0,25 mm platziert werden, womit die Fläche dann zu



Verbesserte Wärmeableitung durch Wärmespreizung als Funktionsprinzip von HSMtec-Leiterplatten



Wärmeableitung über DK-Vias

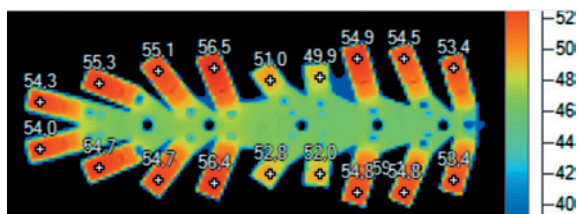
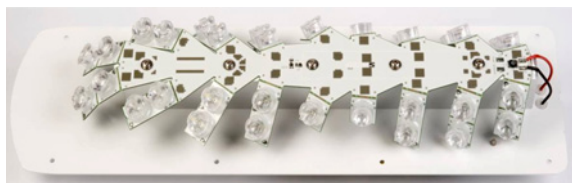
10 % aus Kupfer besteht. Die effektive Wärmeleitfähigkeit einer solchen FR4-Fläche erhöht sich mit dieser Designmaßnahme auf 30 W/m·K. Damit ist diese Konstruktion 100mal besser wärmeleitend als FR4 und noch 10mal besser leitend als die besten Wärmeleitsubstrate. Anwendung findet diese Lösung in Straßenlaternen mit 350 mA-LED und zur LED-Wärmeableitung in der Luftfahrt.

Stromtragfähigkeit von Leiterbahnen

Die Einflussfaktoren für die Strombelastbarkeit von Leiterbahnen auf Leiterplatten sind:

- das Verhältnis Leiterbahn-Breite / -Höhe
- die Umgebungstemperatur T_u
- die Anordnung benachbarter Leiterbahnen
- der Lagenaufbau mit und ohne Masselagen
- die zulässige Erwärmung der Leiterbahn durch Stromfluss

Eine Wärmespreizung durch Masselagen bewirkt eine deutliche Erhöhung der Strombelastbarkeit. Ein Lösungsansatz, der über die Wirkung normaler Masselagen in Multilayern weit hinausgeht, ist das Einarbeiten von schmalen Kupferprofilen (0,5 mm dick und 4 mm breit) oder 0,5 mm dicken Kupferdrähten parallel zu den Hochstromwegen in die äußeren Lagen hinein, die dann in einem Ultraschallschweißprozess mit den eigentlichen Leiterbahnen elektrisch und ebenso thermisch verbunden werden. *Häusermann* produziert unter dem Produktnamen *HSMtec* solchermaßen Hochstromleiterplatten in Serienfertigung, die in zahlreichen temperaturkritischen Applikationen wie LED-Straßenlampen Zugang fanden und dabei auch die semiflexiblen Eigenschaften zur Biegung von selbsttragenden 3D-Objekten nutzen. Die Mehrkosten für diese neue Technologie wer-



Eine typische HSMtec-Applikation: Straßenlampe mit 32 LED auf vierlagigem FR4-Multilayer und 25 Watt Verlustleistung (oben), gemäß Wärmebild nur 10 K Temperaturunterschied zwischen LED und Kühlkörperanbindung in der Leiterplattenmitte (unten)

den im Einsatz an 4-Lagen-Multilayern mit 40 % bis 60 % angegeben.

Die Ergebnisse zahlreicher Versuche zur Wärmeableitung fassten die *Häusermann*-Fachleute in ein hauseigenes Berechnungsprogramm für das Wärme-management zusammen, mit dem das *Competence-Center HSMtec* mit schnellen Rechenergebnissen zu Problemlösungen verhelfen kann. Hinweise auf Designregeln, Impulsstromprofile und die Kurzschlussstrombelastung rundeten die kompetente Informationsvermittlung dieses Vortrages ab. Lötprofilvorgaben für HSMtec-Leiterplatten wurden in Zusammenarbeit mit *Dr. Hans Bell* vom Lötanlagenhersteller *Rehm* erarbeitet.

Am Ende der Tagung verabschiedete *Harald Steininger* die nun bestens informierten Teilnehmer zum Antritt ihrer Heimreise.

-no-

Häusermann GmbH, Zitternberg 100, A-3571 Gars am Kamp,
www.hausermann.at